

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-222894

(P2001-222894A)

(43) 公開日 平成13年8月17日 (2001.8.17)

(51) Int.Cl.

G11C 16/06

識別記号

F I

G11C 17/00

テームド(参考)

632A

審査請求 未請求 請求項の数2 OL (全7頁)

(21) 出願番号 特願2001-28479(P2001-28479)

(62) 分割の表示 特願平7-51173の分割

(22) 出願日 平成7年3月10日(1995.3.10)

(31) 優先権主張番号 特願平6-86942

(32) 優先日 平成6年4月25日(1994.4.25)

(33) 優先権主張国 日本(JP)

(71) 出願人 000002325

セイコーインスツルメンツ株式会社

千葉県千葉市美浜区中瀬1丁目8番地

(72) 発明者 宮城 雅記

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

(72) 発明者 小島 芳和

千葉県千葉市美浜区中瀬1丁目8番地 セ

イコーインスツルメンツ株式会社内

(74) 代理人 100096286

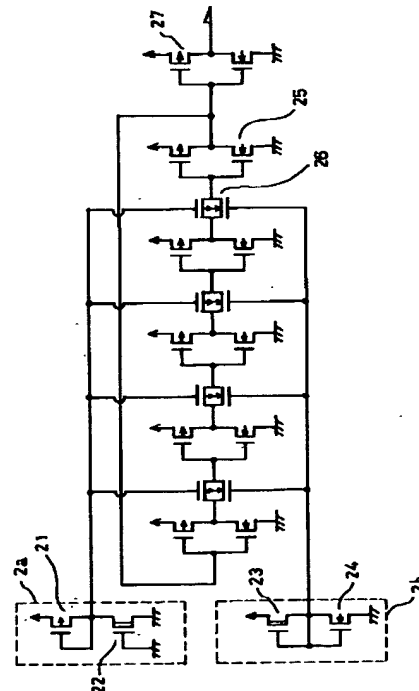
弁理士 林 敬之助

(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【目的】 MOS型半導体集積回路装置において、リング発振回路の低電圧領域での十分な発振周波数を確保すると共に高電圧領域での発振周波数の上昇を抑え、消費電流の低減を可能とする。

【構成】 P型MOSエンハンスメントトランジスタ21とN型MOSデプレッショントランジスタ22により構成される第一の定電圧発生回路2aとN型MOSデプレッショントランジスタ23とN型MOSエンハンスメントトランジスタ24により構成される第二の定電圧発生回路2bを有し、リング発振回路を構成する各インバータ回路25の間に接続されたトランスマッションゲート26のP型MOSTランジスタのゲート電極には第一の定電圧発生回路で発生された第一の一定電圧が印加され、前記トランスマッションゲート26のN型MOSTランジスタのゲート電極には第二の定電圧発生回路で発生された第二の一定電圧が印加される。このようなリング発振回路によれば小型で長寿命のEEPROMからなる電子装置が実現できる。



【特許請求の範囲】

【請求項1】 不揮発性メモリ機能を有するメモリ手段を有するメモリセルアレイと、

前記メモリセルアレイの書き込み及び消去を行なう制御回路と、

直列に接続されたP型もしくはN型MOSエンハンスメントトランジスタとN型MOSデプレッショントランジスタを電源電圧間に接続した定電圧発生回路と、

前記定電圧発生回路に接続される定電流回路と、

前記定電流回路に接続される複数のMOSトランジスタからなるインバート回路と、

前記インバート回路を気数段縦続接続してなるリング発振器と、

前記リング発振回路に接続すると共に、前記電源電圧を昇圧して前記制御回路に前記メモリアレイの書き込みおよび消去に必要な電圧信号を供給する昇圧回路とを備え、

前記定電流回路の定電流値と前記インバート回路のMOSトランジスタのゲート容量とから前記昇圧回路の前記電圧信号の立ち上がり特性を制御する不揮発性半導体記憶装置。

【請求項2】 不揮発性メモリ機能を有するメモリ手段を有するメモリセルアレイと、

前記メモリセルアレイの書き込み及び消去を行なう制御回路と、

直列に接続されたN型MOSエンハンスメントトランジスタと第1のN型MOSデプレッショントランジスタを電源電圧間に接続した定電圧発生回路と、

前記定電圧発生回路の前記N型MOSエンハンスメントトランジスタと前記第1のN型MOSデプレッショントランジスタの接続点がゲートに接続された第2のN型MOSデプレッショントランジスタと、

前記第2のN型MOSデプレッショントランジスタを、気数段縦続接続するインバート回路の電源に接続するリング発振回路と、

前記リング発振回路に接続すると共に、前記電源電圧を昇圧して前記制御回路に前記メモリセルアレイの書き込み及び消去に必要な電圧を供給する昇圧回路とを備えた不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、MOS型集積回路に係わり、広い電源電圧範囲において小さな発振周波数の差で動作するリング発振回路に関する。また本発明は、電氣的書換え可能な不揮発性半導体メモリ集積回路（EEPROM IC）に係り、特に低い電圧から広い電源電圧範囲で低消費電力で動作する単一電源動作可能なEEPROM ICに関する。

【0002】さらに本発明は、太陽電池などの電池からエネルギーを与えられて情報を記憶するEEPROM

ICからなる電子記憶装置に係り、特に、小型で長寿命の電子記憶装置に関する。

【0003】

【従来の技術】従来、半導体集積回路において、最も簡単な発振回路として奇数個のインバート素子等を単純にリング状に接続したリング発振回路が利用されていた。また、リング発振器により昇圧回路を駆動することにより、電源電圧の数倍の電圧を発生し、プログラム消去を行える単一電源EEPROM ICがある。たとえば、特開平5-325578に記載されている。

【0004】

【発明が解決しようとする課題】しかし、従来のリング発振回路は、電源電圧の変動に対して発振周波数が大きく変動するため、広い電源電圧で動作させる場合、低電圧領域で十分な発振周波数を確保しようとする高電圧領域の発振周波数が必要以上に高くなるため消費電流が大きくなってしまふ課題があった。

【0005】また、単一電源動作のEEPROMでは、その内部で電源電圧より高い電圧をリング発振器の駆動により昇圧回路を用いて発生している。しかし、昇圧回路を1V程度の低い電源電圧から動作するように設計すると、電源電圧の高い動作において消費電力が大きくなる増加してしまう。

【0006】従って、太陽電池等によってプログラムするEEPROM ICの電子装置においては、大型の太陽電池が必要であった。また、乾電池を用いた電子装置では電池の寿命が短い問題があった。この発明の目的は発振回路の電源電圧を制御したり電流を制限して安定な発振周波数を得ることである。

【0007】また本発明は低い電圧から広い電源電圧の動作において、電源電圧の増加とともに消費電力が大きく増加しないEEPROM ICを提供することを目的としている。さらに本発明は、小型の太陽電池を用いてプログラムできる電子記憶装置を提供することを目的としている。

【0008】

【課題を解決するための手段】上記課題を解決するために、この発明は、定電圧発生回路を設けることにより、リング発振回路自体を一定電圧で動作させるか、または定電圧発生回路と定電圧発生回路で発生された一定電圧で制御される定電流素子を設けるリング発振回路を構成した。

【0009】また不揮発性メモリ装置においてメモリ手段を備えたメモリセルアレイとリング発振回路と、前記リング発振回路の駆動により電源電圧を昇圧して前記メモリ手段の書き込み、消去に必要な電源電圧より高い高電圧パルスを発生する昇圧回路とを有し、前記リング発振回路が奇数の複数のインバート回路を環状に接続され、前記各インバート回路に定電流回路が接続され、前記定電流回路の定電流値と前記インバート回路のゲート

容量とから前記高電圧パルスの立ち上り特性を制御するようにした。さらに不揮発性メモリ装置においてメモリ手段を備えたメモリセルアレイと、奇数のインバート回路を環状に接続して成るリング発振回路と、前記リング発振回路の駆動により電源電圧を昇圧して前記メモリ手段の書き込み、消去に必要な電源電圧より高いプログラム用高電圧パルスを発生する昇圧回路とから成るとともに、前記リング発振回路が定電圧発生回路により一定電圧駆動されていることを特徴とする。

【0010】

【作用】上記のように構成されたリング発振回路を使用することで、低電圧領域での十分な発振周波数を確保すると共に、高電圧領域でも発振周波数を大きく変えずに消費電流を小さくする事が可能となる。

【0011】複数のEEPROM ICから成るメモリカードにおいて、プログラム時の消費電流を従来の半分以下にできることにより、太陽電池動作のメモリカードを実現できる。

【0012】

【実施例】以下に、この発明の実施例を図に基づいて説明する。図1は、本発明のリング発振回路の第一の実施例を示すブロック図である。リング発振回路1の電源は定電圧発生回路2に接続され、リング発振回路1の出力はレベル変換回路3に接続されている。

【0013】また図2は、本発明のリング発振回路の第一の実施例の回路図である。同図において、N型MOSデプレッショントランジスタ11および12とN型MOSエンハンスメントトランジスタ13によって構成される定電圧発生回路2で発生された一定電圧下で5つのインバート10により構成されるリング発振回路1が発振する。

【0014】リング発振回路1の出力信号は、やはり一定電圧下で動作する波形整形用インバート14および15で波形整形された後、P型MOSエンハンスメントトランジスタ16および17とN型MOSエンハンスメントトランジスタ18および19で構成されるレベル変換回路3に入り、最終的に電源電圧と同じ振幅を持つ信号となる。

【0015】図2におけるリング発振回路は常に一定電圧下で動作するため、発振周波数は電源電圧によらず一定となる。図3は、本発明のリング発振回路の第二の実施例を示すブロック図である。インバート5の間に定電流素子4が接続され、定電流素子4は定電圧発生回路2*

$$f = 1/2t$$

$$= (1/2) \cdot (Itg/Cg) \cdot (1/E) \quad (式4)$$

図5は、本発明のリング発振回路の第三の実施例を示すブロック図である。インバート5にそれぞれ定電流素子4が接続され、それぞれの定電流素子4は定電圧回路2に接続されている。

【0021】図6は、本発明のリング発振回路の第三の※50

*に接続されている。

【0016】図4は、本発明のリング発振回路の第二の実施例の具体的な回路図である。同図において、P型MOSエンハンスメントトランジスタ21とN型MOSデプレッショントランジスタ22により構成される第一の定電圧発生回路2aで第一の一定電圧が発生され、またN型MOSデプレッショントランジスタ23とN型MOSエンハンスメントトランジスタ24により構成される第二の定電圧発生回路2bで第二の一定電圧が発生される。

10

【0017】リング発振回路を構成する各インバート25の間にはそれぞれトランスミッションゲート26が挿入されており、前記トランスミッションゲートのP型MOSトランジスタのゲート電極には第一の一定電圧が印加され、N型MOSトランジスタのゲート電極には第二の一定電圧が印加されている。したがって、トランスミッションゲート26は、一種の定電流素子として働く事となる。

20

【0018】図4において、リング発振回路を構成しているインバート素子25のゲート電極容量に充放電される電荷Qは以下の式で表される。

$$Q = Cg \cdot E \quad (式1)$$

$$Q = Itg \cdot dt \quad (式2)$$

$$= Itg \cdot t \quad (式2')$$

Q : インバートのゲート電極に蓄積される電荷量

Cg : インバートのゲート電極容量

E : 電源電圧

Itg : トランスミッションゲートに流れる電流

t : 充放電時間

式2は、Itgが充放電時間tの関数である場合を表し、本発明における図4の発振回路において定電圧発生回路2が安定に動作をするのに十分な電源電圧領域を考えた場合、Itgは時間によらず一定と考えられるので、式2は式2'で表される。

【0019】したがって、式1および式2'より充放電時間tは以下の式3で表される。

$$t = (Cg/Itg) \cdot E \quad (式3)$$

式3においてCgおよびItgは定数と考えられるため、充放電時間tは、電源電圧Eに比例する事となり、発振周波数は式4で表されるように通常の簡単なリング発振回路と逆に電源電圧Eに反比例する事となる。

【0020】

※実施例の具体的な回路図である。同図において、P型MOSエンハンスメントトランジスタ31とN型MOSデプレッショントランジスタ32により構成される第一の定電圧発生回路2aで第一の一定電圧が発生され、またN型MOSデプレッショントランジスタ33とN型MO

Sエンハンスメントトランジスタ34により構成される第二の定電圧発生回路2bで第二の一定電圧が発生されるのは、図4の実施例と同様である。

【0022】図6の実施例においてリング発振回路を構成するインバータは、P型MOSエンハンスメントトランジスタ35および36とN型MOSエンハンスメントトランジスタ37および38がすべて直列に接続されている。P型MOSエンハンスメントトランジスタ35のゲート電極には第一の一定電圧が印加され、P型MOSエンハンスメントトランジスタ36のゲート電極は前段のインバータの出力が接続されている。

【0023】また、N型MOSエンハンスメントトランジスタ38のゲート電極には第二の一定電圧が印加され、N型MOSエンハンスメントトランジスタ37のゲート電極には前段のインバータの出力が接続されている。第一の一定電圧が印加されているP型MOSエンハンスメントトランジスタ35と第二の一定電圧が印加されているN型MOSエンハンスメントトランジスタ38は、図4の実施例におけるトランスミッションゲートと同様に一種の定電流素子として働く。

【0024】したがって、図6の実施例に示すリング発振回路も図4の実施例の回路と同様に発振周波数は、電源電圧に反比例する事となる。図7は、本発明の発振回路を用いたEEPROM ICの構成を示すブロック図である。メモリ手段としてメモリセルアレイ71に対してデータ書き込み、読み出しを行うためのビット線制御回路72が設けられている。

【0025】このビット線制御回路72はデータ入出力バッファ76につながり、アドレスバッファ74からのアドレス信号を受けるカラムデコーダ73の出力を入力として受ける構成となっている。また、メモリセルアレイ71に対して、制御ゲート及び選択ゲートを制御するためにロウデコーダ75が設けられている。上述メモリセルアレイ71の各機能を司る回路等によりメモリICが構成されている。

【0026】昇圧回路78は、発振回路としてのリングオシレータ79からの駆動信号を受けて電源電圧から昇圧された電圧を、メモリセルアレイ71の書き込み/消去(両方の動作を含めてプログラムと言う)時にビット線制御回路72、ロウデコーダ75に供給する。

【0027】図8は、EEPROMメモリセルの断面図である。P型シリコン基板81に浮遊ゲートトランジスタ82と選択ゲートトランジスタ83が電気的に直列に接続している。浮遊ゲートトランジスタ82は、N型のソース領域84とドレイン領域85との間のチャネル領域の上にゲート絶縁膜86を介して浮遊ゲート電極87と制御ゲート絶縁膜88と制御ゲート電極89が設けられている。ドレイン領域85と浮遊ゲート電極87とは、約70~100Åの膜厚のトンネル絶縁膜801を介して重ねて形成されている。

【0028】制御ゲート電極89とドレイン領域85との間に高電圧を印加することにより、トンネル絶縁膜にトンネル電流が流れて浮遊ゲート電極87への電子の量を変えてプログラムすることができる。浮遊ゲート電極87の電子の量によって浮遊ゲートトランジスタのチャネルコンダクタンスが変化することにより不揮発性のデータがプログラムされる。

【0029】一般にトンネル絶縁膜801に急に高電界が印加されると絶縁破壊が起きやすくなる。そこで制御ゲート電極またはドレイン領域へのプログラム時の高電圧は数10μsec~数100μsecの立ち上りのパルス印加する。本発明の発振回路においては、リングオシレータを構成する各インバート回路に流れる電流を制御する構成となっているために、その電流値を小さくすることにより、立ち上がり時間制御用の特別な充電用コンデンサが必要でなくなる。即ち、図4、図6の実施例の回路のように、インバート回路を構成するトランジスタのゲート電極そのものの容量だけを充電用コンデンサとして機能することができる。従って、プログラムパルスのランピングを制御するための特別なコンデンサまたは回路が不要になり、ICを小型化できる。

【0030】以上述べたように本発明の発振回路をEEPROM ICに適用することにより約0.7V~6Vと広範囲の電源電圧で単一電源で動作するEEPROM ICを簡単な回路で実現できる。また、動作時の電力も従来の半分以下にすることができる。

【0031】EEPROM ICの場合、消費電力は高電圧を内部で用いるプログラム時が最も多い。従って、本発明のEEPROM ICはそのプログラム時の消費電流をプログラム特性を低下させずに約半分以下にできる。以上述べたようなEEPROM ICは電池動作のメモリ装置に適している。非常に小型の要求される電池動作の電子装置に適している。例えば、移動通信機において、そのエネルギー源を太陽電池を利用している場合には本発明のEEPROM ICが適している。

【0032】

【発明の効果】以上説明したように、本発明においてリング発振回路に定電圧発生回路を設けるか、または定電圧発生回路と前記定電圧発生回路で発生された一定電圧で制御される定電流素子を設けることにより、電源電圧が低電圧領域でも十分な発振周波数を確保すると共に高電圧領域での発振周波数の上昇を抑え、消費電流を低減する効果がある。

【0033】また本発明は、約0.7V~6Vの広範囲の電源電圧で従来の半分以下の消費電力で動作するEEPROM ICを実現できる。さらに、非常に小型の寿命の長い電池動作によるEEPROM ICからなる電子装置を実現できる。

【図面の簡単な説明】

【図1】本発明におけるリング発振回路の第一の実施例

を示すブロック図である。

【図2】本発明におけるリング発振回路の第一の実施例を示す回路図である。

【図3】本発明におけるリング発振回路の第二の実施例を示すブロック図である。

【図4】本発明におけるリング発振回路の第二の実施例を示す回路図である。

【図5】本発明におけるリング発振回路の第三の実施例を示すブロック図である。

【図6】本発明におけるリング発振回路の第三の実施例 10を示す回路図である。

【図7】本発明における発振回路を用いたEEPROM ICのブロック図である。

【図8】本発明におけるEEPROMメモリセルの断面

図である。

【符号の説明】

1、79 リング発振回路 2 定電圧発生回路 4 定電流素子 5、10、14、15、20、25、27、39 インバータ回路

11、12、22、23、32、33 N型MOSデプレッショントランジスタ

13、18、19、24、34、37、38 N型MOSエンハンスメントトランジスタ

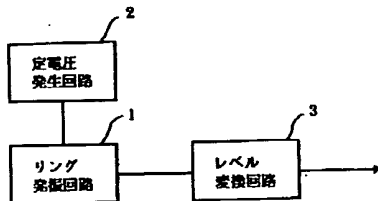
16、17、21、31、35、36 P型MOSエンハンスメントトランジスタ

26 トランсмисシオンゲート

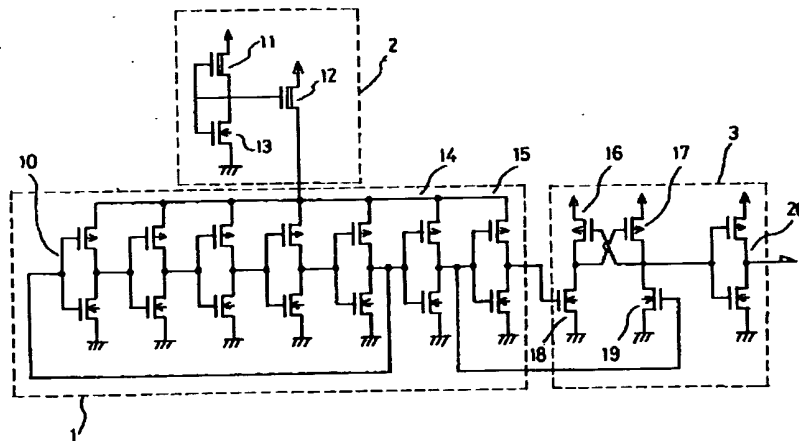
71 メモリセルアレイ

78 昇圧回路

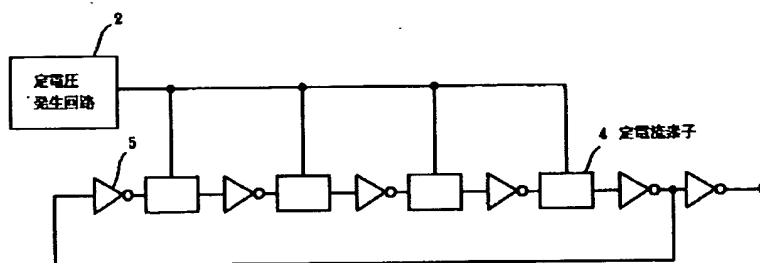
【図1】



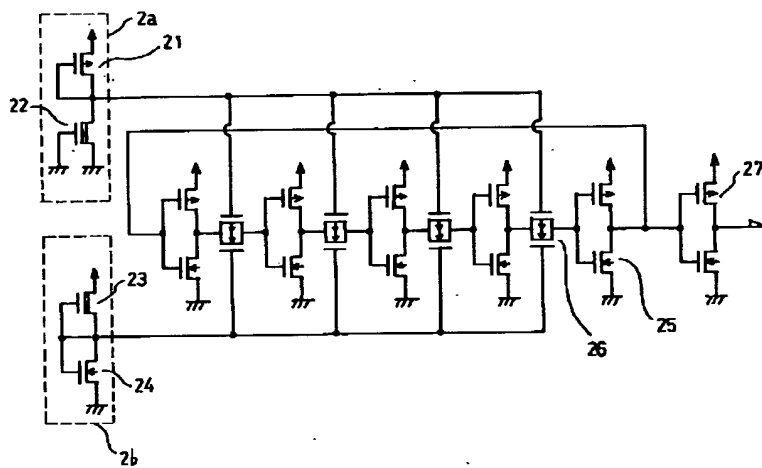
【図2】



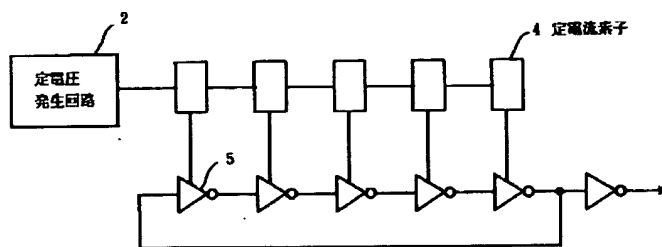
【図3】



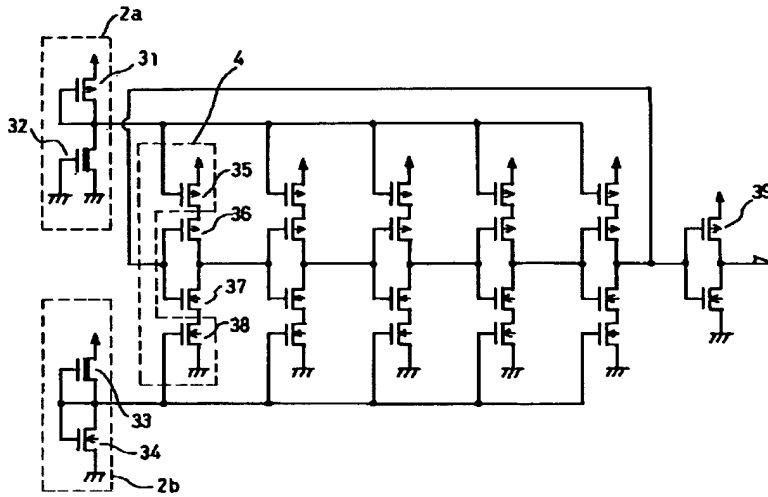
【図4】



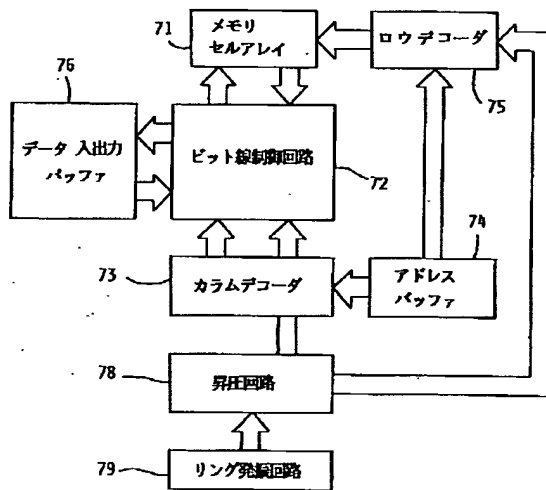
【図5】



【図6】



【図7】



【図8】

